

AP4010 ハードウェアマニュアル第二版について下記の通り訂正致します。

1. メモリコントローラ (MEMC) の RDY 制御に関する修正事項

【該当箇所】

章	10. メモリコントローラ (MEMC)
項目	10.3.1 RDY ビット (Bit6)
ページ	P94

【誤】

内容	BUS_XRDY 信号を用いて低速なデバイスとハンドシェイクを取るときは本ビットを 1 にセットして下さい。BUS_XRDY 信号はチップセレクト信号が立ち下がってからリードまたはライト信号が立ち下がるまでの間にハイレベルにして下さい。BUS_XRDY 信号はチップセレクトが立ち下がったタイミングの次のクロックの立ち上がりエッジでサンプリングされます。SRAM のように RDY 信号を用いないメモリとアクセスするときは本ビットを 0 にして下さい。
----	--

【正】

内容	BUS_XRDY 信号を用いて低速なデバイスとハンドシェイクを取るときは本ビットを 1 にセットして下さい。本信号を用いてウェイトを挿入する場合は、BUS_XRDY 信号が立ち上がってからリードまたはライト信号が立ち下がるまでの期間が 4 サイクル (MCLK 換算) 以上となるようにして下さい。SRAM のように RDY 信号を用いないメモリとアクセスするときは本ビットを 0 にして下さい。
----	--

2. メモリコントローラ (MEMC) の FTIM レジスタの WIDLC ビットに関する修正事項

【該当箇所】

章	10. メモリコントローラ (MEMC)
項目	10.3.2 WIDLC ビット (Bit31:28)
ページ	P96

【誤】

内容	本ビットにはライトアクセス後に挿入するアイドルサイクル数を設定します。なお、RDY ビットが 1 のときは 0010b 以上の値を設定して下さい。													
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">0000</td> <td style="width: 50%;">1 cycle</td> </tr> <tr> <td>0001</td> <td>2 cycles</td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> </tr> <tr> <td>1110</td> <td>15 cycles</td> </tr> <tr> <td>1111</td> <td>予約</td> </tr> </table>	0000	1 cycle	0001	2 cycles					1110	15 cycles	1111	予約	← 初期値
0000	1 cycle													
0001	2 cycles													
1110	15 cycles													
1111	予約													

【正】

内容	本ビットにはライトアクセス後に挿入するアイドルサイクル数を設定します。なお、RDY ビットが 1 のときは 0010b 以上の値を設定して下さい。													
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">0000</td> <td style="width: 50%;">1 cycle</td> </tr> <tr> <td>0001</td> <td>2 cycles</td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> </tr> <tr> <td>1110</td> <td>15 cycles</td> </tr> <tr> <td>1111</td> <td>16 cycles</td> </tr> </table>	0000	1 cycle	0001	2 cycles					1110	15 cycles	1111	16 cycles	← 初期値
0000	1 cycle													
0001	2 cycles													
1110	15 cycles													
1111	16 cycles													

3. メモリコントローラ (MEMC) の FTIM レジスタの RIDLC ビットに関する修正事項

【該当箇所】

章	10. メモリコントローラ (MEMC)
項目	10.3.2 FRADC ビット (Bit11:8)
ページ	P98

【誤】

内容	<p>本ビットにはページモードをサポートする NOR 型フラッシュメモリの設定で使用しません。本ビットにはフラッシュの読み出し時のイニシャルレイテンシを設定します。アドレスは最初のアクセスでは、本ビットに設定されたサイクル数のみ保持されます。その後、RACC ビットに設定されたサイクル分数だけアクセスが行われます。ページモードでは BUS_XCS と BUS_XRD が同時にアサートされます。0000b 以外の値を設定するときは、RADC ビットには必ず 0000b を設定して下さい。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">0000</td> <td style="width: 50%;">1 cycle</td> <td style="width: 40%; text-align: right;">← 初期値</td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> <td></td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> <td></td> </tr> <tr> <td>1111</td> <td>16 cycles</td> <td></td> </tr> </table>	0000	1 cycle	← 初期値							1111	16 cycles	
0000	1 cycle	← 初期値											
1111	16 cycles												

【正】

内容	<p>本ビットにはページモードをサポートする NOR 型フラッシュメモリの設定で使用しません。本ビットにはフラッシュの読み出し時のイニシャルレイテンシを設定します。アドレスは最初のアクセスでは、本ビットに設定されたサイクル数のみ保持されます。その後、RACC ビットに設定されたサイクル分数だけアクセスが行われます。ページモードでは BUS_XCS と BUS_XRD が同時にアサートされます。0000b 以外の値を設定するときは、RADC ビットには必ず 0000b を設定して下さい。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">0000</td> <td style="width: 50%;">0 cycle</td> <td style="width: 40%; text-align: right;">← 初期値</td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> <td></td> </tr> <tr> <td style="text-align: center;"> </td> <td style="text-align: center;"> </td> <td></td> </tr> <tr> <td>1111</td> <td>15 cycles</td> <td></td> </tr> </table>	0000	0 cycle	← 初期値							1111	15 cycles	
0000	0 cycle	← 初期値											
1111	15 cycles												

5. メモリコントローラ (MEMC) の SDREF レジスタの初期値に関する修正事項

【該当箇所】

章	10. メモリコントローラ (MEMC)
項目	10.3.5 SDREF レジスタ
ページ	P106

【誤】

内容	アドレス	FFFC0104h																
	ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ビット名	予約								PREF	NREF							
	R/W	--								R/W	R/W							
	初期値	--								0	00000000							
	ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ビット名	REFC																
	R/W	R/W																
	初期値	0000000000101000																

【正】

内容	アドレス	FFFC0104h																
	ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ビット名	予約								PREF	NREF							
	R/W	--								R/W	R/W							
	初期値	--								0	00000000							
	ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ビット名	REFC																
	R/W	R/W																
	初期値	00000000100000																

6. メモリコントローラ (MEMC) の RDY 制御時のアクセスサイクルに関する修正事項

【該当箇所】

章	10. メモリコントローラ (MEMC)
項目	10.5.4 低速デバイスへのライト
ページ	P120

【誤】

内容	XRDY が立ち下がってから、XWR が立ち上がるまでの時間 WVEC+3 サイクル
----	---

【正】

内容	XRDY が立ち下がってから、XWR が立ち上がるまでの時間 常に 4 サイクル
----	---

以上、宜しくお願ひ致します。